

本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-098182

出 願 人

Applicant(s):

株式会社東芝

2001年11月 2日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3097135

【書類名】 特許願

【整理番号】 A000100827

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 12

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 島田 美代子

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 宮島 秀史

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 中田 鍊平

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】

半導体基板の上に薄膜を形成する工程と、
前記薄膜の所定の箇所に配線を形成する工程と、
を含み、前記薄膜を形成する工程は、該薄膜に加熱処理を施しつつ、該薄膜に向けて電子線を照射することにより薄膜を焼成すること特徴とする半導体装置の製造方法。

【請求項 2】

前記薄膜を形成する工程において、前記薄膜を塗布法により設けることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記薄膜を低誘電率絶縁膜とすることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】

前記低誘電率絶縁膜を、その主成分をシリコン系の有機物を用いて形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記低誘電率絶縁膜を、その主成分を非シリコン系の有機物を用いて形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 6】

前記低誘電率絶縁膜を、その主成分をポリメチルシロキサンを用いて形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 7】

前記配線を、その主成分を Cu によって形成することを特徴とする請求項 1 ～ 6 のうちのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記薄膜を形成する工程において、前記薄膜に前記電子線を照射する際に、該

薄膜の温度が200℃以上500℃未満となるように、該薄膜に加熱処理を施すことを特徴とする請求項1～7のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項9】

前記薄膜を形成する工程において、前記薄膜に向けて照射する前記電子線の照射量を、 $500\mu\text{C}/\text{cm}^2$ 以上とすることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】

前記薄膜を形成する工程において、前記薄膜に前記電子線を照射する際に、該薄膜を所定の減圧雰囲気下に配置することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】

前記薄膜を形成する工程において、前記薄膜に前記電子線を照射する際に、該薄膜を還元性を有するガスを主成分とする雰囲気中に配置することを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】

前記還元性を有するガスの主成分を、 H_2 とすることを特徴とする請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に半導体装置が具備する薄膜の形成方法として、例えば、銅配線が設けられている半導体装置が具備する絶縁膜の形成方法に係る。

【0002】

【従来の技術】

近年、半導体素子（装置）の微細化によって配線（下地基板配線）の配線寸法が小さくなるのに伴い、配線間容量が増加し、この半導体装置を用いたデバイスの動作速度に大きな影響を与えるようになってきている。微細化するデバイスの

高速化を達成するためには、配線抵抗と線間容量との積を小さくする必要がある。このためには、例えば下地基板配線を抵抗率の低い銅（Cu）配線とするとともに、配線間容量を低減するために、下地基板配線の周りに設けられている薄膜としての絶縁膜に低誘電率層間絶縁膜を採用することが必要不可欠になる。

【0003】

従来、半導体装置の層間絶縁膜としては、熱CVD法やプラズマCVD法などによって形成されたシリコン酸化膜が用いられてきた。従来のプラズマCVD法によって形成された一般的なシリコン酸化膜（P-SiO₂膜）の比誘電率は、4.1程度であった。また、このシリコン酸化膜にフッ素（F₂）を添加して低誘電率化したシリコン酸化膜（FSG膜）の比誘電率は、3.3程度であり、これが熱CVD法やプラズマCVD法により生成（形成）した絶縁膜（層間絶縁膜）の比誘電率の低さの限界であった。

【0004】

これに対して、最近の研究結果によれば、有機シリコン酸化膜や、シリコンを含まない有機物などの材料からなる低誘電率膜を層間絶縁膜に適用することによって、その比誘電率を2.4～2.8程度に下げることが実用上可能であることが分かってきた。この結果、有機シリコン酸化膜や、シリコンを含まない有機物などの材料からなる低誘電率膜を層間絶縁膜に適用することが要求されている。

【0005】

これら有機シリコン酸化膜や、シリコンを含まない有機物などの材料からなる低誘電率の層間絶縁膜の殆どは、塗布によって膜形成されることを特徴としている。この塗布による層間絶縁膜の形成方法は、先ず、所望する膜を構成する物質の前駆体を溶媒に溶解させたワニスと呼ばれる液状原料を半導体基板の上に塗布する。その後、ワニスを半導体基板とともに加熱して溶媒の揮発（蒸発）と前駆体の架橋反応とを進行させることによって、薄膜としての層間絶縁膜を形成（焼成）することを特徴とするものである。ワニスおよび半導体基板は、それらの温度が400℃程度に保持されるように、電気炉やホットプレートなどを用いて加熱されていた。

【0006】

【発明が解決しようとする課題】

ところが、電気炉やホットプレートのみを使った加熱処理による層間絶縁膜の形成では、前駆体の架橋反応が終了するまでに要する時間が30分～1時間程度と長いことが問題となっていた。下地基板配線がCuによって形成されている場合、一般にはこの配線上にバリア絶縁膜としてSiN膜を形成し、その上に有機シリコン酸化膜や、シリコンを含まない有機膜などの層間絶縁膜を形成する。この際、この層間絶縁膜を焼成するのに要する時間が長いと、下地基板配線のCuの粒成長が起こるおそれがある。Cuの粒成長が起こると、CuとSiN膜との界面で剥がれが生じる。また、層間絶縁膜を焼成している間に発生したガスがSiN膜とCuとの界面に溜まり、この界面でCuの表面の酸化や剥がれが生じるおそれもある。すなわち、配線の劣化が生じ、ひいては半導体装置を用いたデバイスの動作速度が低下するおそれがある。

【0007】

よって、本発明の目的は、半導体装置に設けられている配線付近の薄膜を短時間で形成できる半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】

前記課題を解決するために、本発明に係る半導体装置の製造方法は、半導体基板の上に薄膜を形成する工程と、前記薄膜の所定の箇所に配線を形成する工程と、を含み、前記薄膜を形成する工程は、該薄膜に加熱処理を施しつつ、該薄膜に向けて電子線を照射することにより薄膜を焼成すること特徴とするものである。

【0009】

この半導体装置の製造方法においては、薄膜を形成する際に、薄膜に加熱処理を施しつつ、薄膜に向けて電子線を照射する。これにより、成膜（焼成）反応を促進させることができる。

【0010】

また、本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以下に述べるような設定としても構わない。

【0011】

前記薄膜を形成する工程において、前記薄膜を塗布法により設ける。

【 0 0 1 2 】

前記薄膜を低誘電率絶縁膜とする。

【 0 0 1 3 】

前記低誘電率絶縁膜を、その主成分をシリコン系の有機物を用いて形成する。

【 0 0 1 4 】

前記低誘電率絶縁膜を、その主成分を非シリコン系の有機物を用いて形成する

。

【 0 0 1 5 】

前記低誘電率絶縁膜を、その主成分をポリメチルシロキサンを用いて形成する

。

【 0 0 1 6 】

前記配線を、その主成分をCuによって形成する。

【 0 0 1 7 】

前記薄膜を形成する工程において、前記薄膜に前記電子線を照射する際に、該薄膜の温度が200℃以上500℃未満となるように、該薄膜に加熱処理を施す

。

【 0 0 1 8 】

前記薄膜を形成する工程において、前記薄膜に向けて照射する前記電子線の照射量を、 $500\mu\text{C}/\text{cm}^2$ 以上とする。

【 0 0 1 9 】

前記薄膜を形成する工程において、前記薄膜に前記電子線を照射する際に、該薄膜を所定の減圧雰囲気下に配置する。

【 0 0 2 0 】

前記薄膜を形成する工程において、前記薄膜に前記電子線を照射する際に、該薄膜を還元性を有するガスを主成分とする雰囲気中に配置する。

【 0 0 2 1 】

前記還元性を有するガスの主成分を、 H_2 とする。

【 0 0 2 2 】

本発明に係る半導体装置の製造方法を実施するにあたり、その工程の一部を、以上述べたような各種設定とすることにより、配線の材料や、あるいは形成される薄膜の種類などに応じて、成膜環境を適正な状態に設定できる。

【 0 0 2 3 】

【発明の実施の形態】

(第 1 実施形態)

以下、本発明の第 1 の実施の形態に係る半導体装置の製造方法を、図 1 (a) ~ (c) に基づいて説明する。

【 0 0 2 4 】

本実施形態の半導体装置の製造方法は、半導体基板の上に薄膜を形成する工程と、薄膜の所定の箇所に配線を形成する工程と、を含み、薄膜を形成する工程は、薄膜に加熱処理を施しつつ、薄膜に向けて電子線を照射することにより薄膜を焼成すること特徴とするものである。

【 0 0 2 5 】

先ず、図 1 (a) に示すように、半導体基板 1 の一端面としての上面 (表面) 上に、第 1 の薄膜としての下地絶縁膜 2 を設ける。この下地絶縁膜には、本実施形態においては、TEOS 膜 2 を採用する。以下の説明において、半導体基板 1 に加工が施される側を表面側とする。続けて、この TEOS 膜 2 の表面側の所定の箇所に、所望する大きさおよび形状からなる配線 4 用の溝を加工して形成し、その内部にバリア金属層 3 および配線 (下地基板配線) 4 を形成する。この下地基板配線 4 には、本実施形態においては、Cu を主成分として構成される Cu 層 4 を採用することとする。その後、TEOS 膜 2、バリア金属層 3、および Cu 層 4 のそれぞれの表面を、例えば CMP 法により平坦化する。

【 0 0 2 6 】

次に、図 1 (b) に示すように、平坦化された TEOS 膜 2、バリア金属層 3、および Cu 層 4 のそれぞれの表面上に、バリア絶縁膜としての SiN 層 5 を形成する。

【 0 0 2 7 】

さらに、図 1 (c) に示すように、Cu 層 4 を TEOS 膜 2 とともに挟むよう

に、TEOS膜2およびCu層4の上方に、第2の薄膜としての絶縁膜6（低誘電率絶縁膜、すなわち低誘電率層間絶縁膜）を設ける。この絶縁膜には、本実施形態においては、シリコンを含まない非シリコン系の有機物から構成されるポリメチルシロキサン膜6を採用することとする。具体的には、SiN層5の表面上に、低誘電率層間絶縁膜としてのポリメチルシロキサン膜6を形成する。

【0028】

以下、ポリメチルシロキサン膜6を形成する工程を、第1～第4の各工程に細分化して詳細に説明する。

【0029】

説明に先立って、図1（b）に示すように、半導体基板1の表面上にSiN層5までを形成したものを、第1層半導体基板8と称することとする。この第1層半導体基板8に、以下に説明する第1～第4の各工程を順次行うことにより、所望する半導体装置9を得ることができる。

【0030】

第1工程：

所望する低誘電率層間絶縁膜としてのポリメチルシロキサン膜6の膜材料、もしくはそのポリメチルシロキサン膜6を構成する物質である、前駆体としてのポリメチルシロキサンを溶媒に溶解させたワニスと呼ばれる図示しない液状原料を、第1層半導体基板8のSiN層5の表面上に配置する。このワニスを配置する方法としては、本実施形態においては、良質なポリメチルシロキサン膜6が成膜されるように、ワニスを略均一な厚さでむらなく設けることができる塗布法を採用する。このワニスの塗布作業は、具体的には、塗布装置として、例えば図示しないコーターを用いて、塗布法的一种であるスピコート法によってワニスをSiN層5の表面上に塗布するものである。

【0031】

第2工程：

第1層半導体基板8を、図1（c）に示すように、そのワニスが塗布されたSiN層5を上向きにした姿勢で温度調節装置としての加熱装置（ホットプレート）7上に載置する。その後、ワニスの温度が約80℃に保持されるようにホット

プレート7の温度を調節して、ワニスを第1層半導体基板8ごと加熱するとともに、この状態を約1分間保持する。これによりワニスに1回目の加熱処理を施す。

【0032】

第3工程：

続けて、第1層半導体基板8をホットプレート7上に載置した状態のまま、ワニスの温度が約200℃に保持されるようにホットプレート7の温度を調節して、ワニスを第1層半導体基板8ごと加熱するとともに、この状態を約1分間保持する。これによりワニスに2回目の加熱処理を施す。

【0033】

これら第2および第3の各工程の加熱処理によって、第1工程においてSiN層5の表面上に塗布されたポリメチルシロキサン膜6の液状原料であるワニスに含まれる溶媒を蒸発させて除去する。これにより、ポリメチルシロキサンのワニス（塗布膜）をSiN層5の表面上、すなわち第1層半導体基板8上に固定化（固着）する。

【0034】

本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第2および第3工程の加熱処理において、ワニスの温度を先ず約80℃、次に約200℃と段階的に加熱して上昇させる方法が、ワニス中の溶媒等、ポリメチルシロキサン膜6の主要成分であるポリメチルシロキサン以外の成分を効率よく略完全に揮発させる（飛ばす）のに好ましい（適している）固定方法であることが明らかにされている。

【0035】

第4工程：

さらに続けて、ポリメチルシロキサンのワニスが固定化された第1層半導体基板8を、ホットプレート7上に載置した状態のまま、ワニスおよびこのワニスを基に成膜されるポリメチルシロキサン膜6が酸化されないように、約10Torrまで減圧した減圧雰囲気下に配置する。それとともに、そのポリメチルシロキサンのワニスが固定化された第1層半導体基板8が配置される雰囲気を、後述する電子

線照射作業を行う際に、Cu層4の表面にクリーニング作用が働いて、その酸化が抑制されるように、還元性を有するH₂ガスを主成分とするガスで満たす。この状態において、ワニスの温度が約400℃に保持されるようにホットプレート7の温度を調節して、ワニスを第1層半導体基板8ごと加熱するとともに、図1(c)中白抜き矢印で示すように、図示しない電子線照射装置からワニスに向けて、照射(加速)エネルギーが約10keV、照射量(Dose量)が約500 μ C/cm²の電子線(EB)を照射(暴露)する。この際、前記加熱状態と前記電子線照射状態を約5分間保持する。これにより、SiN層5の表面上、すなわち第1層半導体基板8の最上層にポリメチルシロキサン膜6を形成する。

【0036】

以上説明したように、第2～第4の各工程のうち、それらの最終工程である第4工程においてのみワニスに加熱処理を施しつつ、ワニスに向けて電子線を照射する。これは、固定化されていない状態のワニスに電子線を照射することにより、ワニス中に含まれる溶媒などのポリメチルシロキサン以外の成分まで変質させて、所望外の特性を有する低誘電率層間絶縁膜が形成されるのを未然に防ぐためである。すなわち、所望の特性を有する低誘電率層間絶縁膜としてのポリメチルシロキサン膜6を得るためである。

【0037】

本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニスに電子線を照射する際に、ワニスの温度が200℃以上500℃未満、好ましくは約380℃～400℃程度の範囲内で略一定の温度となるように加熱処理を施すことにより、本製造方法によって形成されるポリメチルシロキサン膜6を具備する半導体装置9が、実用上適正な動作性能を発揮できる良質なポリメチルシロキサン膜6を形成できることが明らかにされている。とりわけ、前記約400℃というワニスの設定温度は、前記約380℃～400℃程度という温度範囲の中でも、本製造方法によって形成されたポリメチルシロキサン膜6を具備した半導体装置9が実用上極めて良好な動作性能を発揮できる、極めて良質なポリメチルシロキサン膜6を形成できる値である。

【0038】

また、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニスへ照射する電子線の照射量を、約 $500\mu\text{C}/\text{cm}^2$ 以上で略一定の値となるように設定して電子線照射を行うことにより、本製造方法によって形成されるポリメチルシロキサン膜6を具備する半導体装置9が、実用上適正な動作性能を発揮できる良質なポリメチルシロキサン膜6を形成できることが明らかにされている。とりわけ、前記約 $500\mu\text{C}/\text{cm}^2$ という電子線の設定照射量は、前記約 $500\mu\text{C}/\text{cm}^2$ 以上という照射量の範囲の中でも、本製造方法によって形成されたポリメチルシロキサン膜6を具備した半導体装置9が、実用上極めて良好な動作性能を発揮できる、極めて良質なポリメチルシロキサン膜6を形成できる値である。

【 0 0 3 9 】

同様に、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニスに照射する電子線の加速エネルギーを、数keV～15keV程度の範囲内で略一定の値となるように設定して電子線照射を行うことにより、本製造方法によって形成されるポリメチルシロキサン膜6を具備する半導体装置9が、実用上適正な動作性能を発揮できる良質なポリメチルシロキサン膜6を形成できることが明らかにされている。とりわけ、前記約10keVという電子線の設定エネルギー量は、前記数keV～15keV程度というエネルギー量の範囲の中でも、本製造方法によって形成されたポリメチルシロキサン膜6を具備した半導体装置9が、実用上極めて良好な動作性能を発揮できる、極めて良質なポリメチルシロキサン膜6を形成できる値である。

【 0 0 4 0 】

さらに、本発明に係る半導体装置の製造方法の発明者達が行った実験によれば、第4工程においてワニスに加熱処理を施しつつ電子線を照射する際に、ワニス2を所定の還元性を有するガス中において、所定の範囲内の減圧雰囲気下に配置することにより、本製造方法によって形成されるポリメチルシロキサン膜6を具備する半導体装置9が、実用上適正な動作性能を発揮できる良質なポリメチルシロキサン膜2を形成できることが明らかにされている。とりわけ、前記 H_2 ガス中において、約0.1Torrという減圧値に設定された雰囲気下にワニスを配置する

ことにより、本製造方法によって形成されたポリメチルシロキサン膜 6 を具備した半導体装置 9 が、実用上極めて良好な動作性能を発揮できる、極めて良質なポリメチルシロキサン膜 6 を形成できることが明らかにされている。

【 0 0 4 1 】

以上説明した第 4 工程までが終了した後、得られた半導体装置 9 を図示しない光学顕微鏡を用いて観察したところ、Cu 層 4 の表面の酸化は認められなかった。また、前記第 1 ～ 第 4 の各工程を行っている間、およびそれら各工程が終了した後において、TEOS 膜 2、バリア金属層 3、Cu 層 4、SiN 層 5、およびポリメチルシロキサン膜 6 の剥がれは一切観察されなかった。また、Cu 層 4 の抵抗率（値）を測定したところ、その大きさは低誘電率層間絶縁膜としてのポリメチルシロキサン膜 6 を形成する前と後で略同じ大きさであった。

【 0 0 4 2 】

以上説明したように、本実施形態の半導体装置の製造方法によれば、加熱作業と電子線照射作業とを併用することにより、少なくとも前記第 1 ～ 第 4 の工程を合計僅か 7 分程度の短時間で終了することができる。すなわち、本実施形態の半導体装置の製造方法によれば、従来の技術に係るホットプレートを使った加熱処理のみによる絶縁膜の成膜工程において、30 分～1 時間程度要していた溶媒の揮発や前駆体の架橋反応に係る成膜工程を大幅に短縮できる。また、本実施形態の半導体装置の製造方法によれば、加熱作業と電子線照射作業とを併用することにより、少なくとも前記第 4 の工程における膜焼成温度を、例えば前述したように 400℃、あるいは高くてもその上限を 500℃未満に抑えることができる。すなわち、本実施形態の半導体装置の製造方法によれば、従来の技術に係るホットプレートを使った加熱処理のみによる絶縁膜の成膜工程において、500℃以上の極めて高い膜焼成温度を必要としていた膜焼成の最終工程の膜焼成温度を低温化できる。

【 0 0 4 3 】

したがって、本実施形態の半導体装置の製造方法によれば、加熱作業と電子線照射作業とを併用することにより、ポリメチルシロキサン膜 6 や、あるいは Cu 層 4 などへ、必要以上の刺激を殆ど与えることなくポリメチルシロキサン膜 6 を

成膜できる。これにより、成膜工程におけるCu層4におけるCuの粒成長を抑制して、Cu層4とSiN膜5との界面における剥がれを抑制できる。また、ワニスへの電子線の照射を、減圧された還元性を有するH₂ガスの雰囲気中で行うことにより、低誘電率層間絶縁膜6を形成する際のCu層4の表面の酸化を抑制して、Cu層（配線）4の抵抗値を低い良好な状態に維持できる。

【0044】

したがって、本実施形態の半導体装置の製造方法によれば、この製造方法によって製造される半導体装置9の配線間容量などの電気的性能（品質）を向上させることができるとともに、短時間で製造できるので、半導体装置9の歩留まりを向上させて、その生産効率を向上できる。

【0045】

また、本実施形態の半導体装置の製造方法によれば、半導体装置9の低誘電率層間絶縁膜6を、比誘電率の低いポリメチルシロキサンを用いて、その性能を損なわず、かつ良好な状態に保持できるように短時間で形成できるので、半導体装置9の比誘電率を低い良好な状態に維持することができる。すなわち、半導体装置9の配線容量を低減させて、配線抵抗と線間容量との積を小さくできる。これにより、半導体装置9、ひいてはこの半導体装置9を用いた図示しない各種半導体デバイスの動作速度を向上できる。

【0046】

また、前述したように半導体基板1、TEOS膜2、バリア金属層3、Cu層4、およびSiN層5などから構成される第1層半導体基板8の上に、さらに同様の層を形成し、複数の配線層が積層された半導体装置を所望する場合には、各層を前述した方法と同様の方法で形成するとともに、それら各層の間に、前述した第1～第4の各工程を施して、ポリメチルシロキサン膜6を形成すればよい。このように、本発明の半導体装置の製造方法を繰り返して施すことにより、半導体装置を複数の配線層を積層して形成しても、その配線間容量などの電気的性能を劣化させるおそれは殆どない。すなわち、処理能力の高い半導体装置、ひいてはこの半導体装置を用いた処理能力の高い各種半導体デバイスを生産できる。

【0047】

(第 2 実施形態)

次に、本発明の第 2 の実施の形態に係る半導体装置の製造方法を、図 2 (a) ~ (c) に基づいて説明する。

【0048】

この第 2 実施形態の半導体装置の製造方法は、その第 1 の薄膜 11 を設ける工程の一部が、前述した第 1 実施形態の第 1 の薄膜 2 を設ける工程の一部と異なっており、その他の工程、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第 1 実施形態と同一の部分については同一符号を付してその説明を省略する。

【0049】

先ず、前述した第 1 実施形態の半導体装置の製造方法と同様に、図 2 (a) に示すように、半導体基板 1 の一端面としての表面上に、第 1 の薄膜としての下地絶縁膜 11 を形成する。本実施形態においては、この半導体装置の製造方法によって製造される半導体装置 13 の下地絶縁膜 11 を、低誘電率膜として形成可能であるポリメチルシロキサンを用いて形成する。すなわち、本実施形態においては、第 1 の薄膜として、ポリメチルシロキサン 11 を形成する。

【0050】

以下、このポリメチルシロキサン膜 11 を形成する工程を、第 5 ~ 第 8 の各工程に細分化して詳細に説明する。

【0051】

半導体基板 1 に、以下に説明する第 5 ~ 第 8 の各工程を順次施すことにより、所望するポリメチルシロキサン膜 11 を形成することができる。

【0052】

第 5 工程：

所望する下地絶縁膜としてのポリメチルシロキサン膜 11 の膜材料、もしくはそのポリメチルシロキサン膜 11 を構成する物質である、前駆体としてのポリメチルシロキサンを溶媒に溶解させたワニス、を、半導体基板 1 の表面上に塗布する。この際、コーターを用いて、スピンコート法によってワニスを半導体基板 1 の表面上に塗布する。

【0053】

第6工程：

半導体基板1を、図2(a)に示すように、そのワニスが塗布された表面を上向きにした姿勢でホットプレート7上に載置する。その後、ワニスの温度が約80℃に保持されるようにホットプレート7の温度を調節して、ワニスを半導体基板1ごと加熱するとともに、この状態を約1分間保持する。これによりワニスに1回目の加熱処理を施す。

【0054】

第7工程：

続けて、半導体基板1をホットプレート7上に載置した状態のまま、ワニスの温度が約200℃に保持されるようにホットプレート7の温度を調節して、ワニスを半導体基板1ごと加熱するとともに、この状態を約1分間保持する。これによりワニスに2回目の加熱処理を施す。

【0055】

第8工程：

さらに続けて、半導体基板1をホットプレート7上に載置した状態のまま、ワニスの温度が約400℃に保持されるようにホットプレート7の温度を調節して、ワニスを半導体基板1ごと加熱するとともに、この状態を約30分間保持する。これによりワニスに3回目の加熱処理を行う。

【0056】

以上説明した第6～第8の各工程の加熱処理によって、第5工程において半導体基板1上に塗布された、ポリメチルシロキサン膜11の液状原料であるワニスに含まれる溶媒を揮発（蒸発）させて除去する。これにより、ワニスの塗布膜11を半導体基板1上に固定化する。

【0057】

次に、以上説明した第5～第8の工程に続けて、このポリメチルシロキサン膜11の表面側の所定の箇所に、所望する大きさおよび形状の配線溝を加工して形成し、その内部にバリア金属層3およびCu層4を形成する。その後、ポリメチルシロキサン膜11、バリア金属層3、およびCu層4のそれぞれの表面を、例

えばCMP法により平坦化する。

【0058】

次に、図2（b）に示すように、平坦化されたポリメチルシロキサン膜11、バリア金属層3、およびCu層4のそれぞれの表面上に、SiN層5を形成する。これにより、第1層半導体基板12が形成される。

【0059】

さらに、図2（c）に示すように、低誘電率層間絶縁膜としてのポリメチルシロキサン膜6を、前述した第1実施形態と同様に加熱作業および電子線照射作業を併用して、SiN層5の表面上に形成する。これにより、所望する半導体装置13が形成される。

【0060】

以上説明したCMP法による平坦化、SiN層5の形成、およびポリメチルシロキサン膜6を形成する工程は、それぞれ前述した第1実施形態と同様なので、それらの説明を省略する。

【0061】

以上説明した低誘電率層間絶縁膜としてのポリメチルシロキサン膜6の形成までが終了した後、得られた半導体装置13を光学顕微鏡を用いて観察したところ、Cu層4の表面の酸化は認められなかった。また、前記第5～第8の各工程、およびこれら各工程に続くポリメチルシロキサン膜6の形成までの各工程を行っている間、ならびにそれら各工程が終了した後において、下地絶縁膜としてのポリメチルシロキサン膜11、バリア金属層3、Cu層4、SiN層5、および低誘電率層間絶縁膜としてのポリメチルシロキサン膜6の剥がれは一切観察されなかった。また、Cu層4の抵抗値を測定したところ、その大きさはポリメチルシロキサン膜6を形成する前と後で略同じ大きさであった。さらに、ポリメチルシロキサン膜6に対して、CMP法を行ったところ、その剥がれは生じなかった。

【0062】

この第2実施形態の半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、第1の薄膜である下地絶縁膜として、低誘電

率膜として形成可能なポリメチルシロキサン膜 1 1 を用いるので、以下の点で優れている。

【 0 0 6 3 】

本実施形態の半導体装置の製造方法によれば、低誘電率層間絶縁膜 6 に用いられているポリメチルシロキサンを用いて下地絶縁膜 1 1 を形成するので、半導体装置 1 3 の比誘電率をより低下させることができる。すなわち、半導体装置 1 3 の配線容量をより低減させて、配線抵抗と線間容量との積をより小さくできる。これにより、半導体装置 1 3、ひいてはこの半導体装置 1 3 を用いた図示しない各種デバイスの動作速度をより向上できる。

【 0 0 6 4 】

(第 3 実施形態)

次に、本発明の第 3 の実施の形態に係る半導体装置の製造方法を、図 3 (a) ~ (c) に基づいて説明する。

【 0 0 6 5 】

この第 3 実施形態の半導体装置の製造方法は、その第 1 の薄膜 1 1 を設ける工程の一部が、前述した第 1 実施形態の第 1 の薄膜 2 を設ける工程の一部と異なっており、その他の工程、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第 1 実施形態と同一の部分については同一符号を付してその説明を省略する。

【 0 0 6 6 】

まず、前述した第 1 実施形態の半導体装置の製造方法と同様に、図 3 (a) に示すように、半導体基板 1 の一端面としての表面上に、第 1 の薄膜として下地絶縁膜 1 1 を形成する。本実施形態においては、この半導体装置の製造方法によって製造される半導体装置 2 2 の下地絶縁膜 1 1 を、低誘電率膜として形成可能であるポリメチルシロキサンを用いて形成する。

【 0 0 6 7 】

下地絶縁膜としてのポリメチルシロキサン膜 1 1 は、前述した第 1 実施形態において、低誘電率層間絶縁膜としてのポリメチルシロキサン膜 6 を形成する工程と同様に、加熱作業および電子線照射作業を併用して形成される。したがって、

本実施形態においてポリメチルシロキサン膜11を形成する工程は、その詳しい説明を省略する。

【0068】

続けて、このポリメチルシロキサン膜11の表面側の所定の箇所に、所望する大きさおよび形状の配線溝を加工して形成し、その内部にバリア金属層3およびCu層4を形成する。その後、ポリメチルシロキサン膜11、バリア金属層3、およびCu層4のそれぞれの表面を、例えばCMP法により平坦化する。

【0069】

次に、図3(b)に示すように、平坦化されたポリメチルシロキサン膜11、バリア金属層3、およびCu層4のそれぞれの表面上に、SiN層5を形成する。これにより、第1層半導体基板21が形成される。

【0070】

さらに、図3(c)に示すように、低誘電率層間絶縁膜としてのポリメチルシロキサン膜6を、前述した第1実施形態と同様に加熱作業および電子線照射作業を併用して、SiN層5の表面上に形成する。これにより、所望する半導体装置22が形成される。

【0071】

以上説明したCMP法による平坦化、SiN層5の形成、およびポリメチルシロキサン膜6を形成する工程は、それぞれ前述した第1実施形態と同様なので、それらの説明を省略する。

【0072】

以上説明した低誘電率層間絶縁膜としてのポリメチルシロキサン膜6の形成までが終了した後、得られた半導体装置22を光学顕微鏡を用いて観察したところ、Cu層4の表面の酸化は認められなかった。また、前記各工程を行っている間、および前記各工程が終了した後において、下地絶縁膜としてのポリメチルシロキサン膜11、バリア金属層3、Cu層4、SiN層5、および低誘電率層間絶縁膜としてのポリメチルシロキサン膜6の剥がれは一切観察されなかった。また、Cu層4の抵抗値を測定したところ、その大きさはポリメチルシロキサン膜6を形成する前と後で略同じ大きさであった。さらに、ポリメチルシロキサン膜6

に対して、CMP法を行ったところ、その剥がれは生じなかった。

【0073】

この第3実施形態の半導体装置の製造方法は、以上説明した点以外は、第1実施形態の半導体装置の製造方法と同じであり、本発明の課題を解決できるのはもちろんであるが、前述したように、下地絶縁膜として低誘電率膜であるポリメチルシロキサン膜11を用いるとともに、このポリメチルシロキサン膜11を加熱作業と電子線照射とを併用して形成するので、以下の点で優れている。

【0074】

本実施形態の半導体装置の製造方法によれば、低誘電率層間絶縁膜に用いられているポリメチルシロキサンを用いて下地絶縁膜11を形成するので、半導体装置22の比誘電率をより低下させることができる。すなわち、半導体装置22の配線容量をより低減させて、配線抵抗と線間容量との積をより小さくできる。これにより、半導体装置22、ひいてはこの半導体装置22を用いた図示しない各種デバイスの動作速度をより向上できる。

【0075】

また、本実施形態の半導体装置の製造方法によれば、ポリメチルシロキサン膜11を加熱作業と電子線照射とを併用して形成するので、このポリメチルシロキサン膜11、ひいてはこのポリメチルシロキサン膜11を具備する半導体装置22を短時間で形成できる。したがって、半導体装置22、ひいてはこの半導体装置22を用いた図示しない各種デバイスの生産効率を向上できる。

【0076】

以上説明したように、前記第1～第3の実施形態の半導体装置の製造方法は、銅配線を有する半導体装置の製造方法に関し、特に、絶縁膜とその形成方法に係り、電子線照射を行う低誘電率層間絶縁膜の形成工程を含むものである。すなわち、前記第1～第3の実施形態の半導体装置の製造方法は、EBキュアSOG膜によるCuインテグレーションと称することができる。

【0077】

なお、本発明に係る半導体装置の製造方法は、前述した第1～第3の実施の形態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半

導体装置の製造方法が有する各工程を、種々様々な状態に設定できる。

【0078】

例えば、本発明に係る半導体装置の製造方法によって形成される薄膜は、前述した各種の絶縁膜以外でも構わない。少なくとも加熱作業と電子線照射作業との併用によって、短時間で成膜反応が進行し、かつ、品質が劣化しない材料から構成されているものであればよい。また、前述したように2層構造の薄膜（絶縁膜）2，6，11を形成する場合のみならず、1層のみからなる薄膜や、あるいは3層以上の多層構造からなる薄膜を形成する場合においても、前記2層構造の薄膜（絶縁膜）2，6，11を形成する場合と同様の作用および効果を得ることができる。また、配線に用いられる材料は、Cu以外でも構わない。配線の抵抗率が、半導体装置の動作速度を妨げない程度に十分に低ければよい。

【0079】

また、各薄膜を形成する方法は、前述した塗布法でなくとも構わない。薄膜を構成する材料に応じて、成膜される膜の品質を良好な状態に維持できる方法であれば、前述した塗布法以外でも構わない。例えばCVD法を採用することにより、より良質の薄膜を形成することもできる。また、絶縁膜を形成する際に、段階的に温度を上げて溶媒を揮発させる代わりに、ワニスを所定の減圧雰囲気下に配置して溶媒を揮発させることにより、絶縁膜を基板に固着させても構わない。

【0080】

また、前述した還元性ガスは、 H_2 ガス以外でも構わない。少なくともCuなどの配線の材料の酸化を抑制できる還元性を有しているとともに、成膜される薄膜の品質を劣化させないものであれば、配線の材料に種類に応じて様々な種類のガスを使用して構わない。例えば、 CO_2 ガスでも構わない。

【0081】

さらに、前述したワニスの加熱温度および時間、電子線の加速エネルギーおよび照射量、ならびに雰囲気の減圧値など、諸々の設定値は、本発明に係る半導体装置の製造方法によって製造される半導体装置の性能を、所望する水準に到達させることができるものであれば、製造環境に応じて、種々様々な組み合わせに設定して構わない。

【 0 0 8 2 】

【発明の効果】

本発明に係る半導体装置の製造方法によれば、薄膜を形成する際に、加熱作業および電子線照射作業を併用することによって、成膜反応を促進させることができる。すなわち、半導体装置に設けられている配線付近の薄膜を短時間で形成できる。したがって、複数の薄膜の間に設けられる配線の構成物質の酸化や剥離などの劣化を抑制して、配線を良好な状態に保持できる。

【 0 0 8 3 】

また、本発明に係る半導体装置の製造方法を実施するにあたり、配線の材料や、あるいは形成される薄膜の種類などに応じて、成膜環境を適正な状態に設定できる。したがって、薄膜を、その膜質がより良好な状態となるように形成できるとともに、配線の酸化や剥離などの劣化をより抑制して、配線をより良好な状態に保持できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す工程断面図であり、(a) は半導体基板上に T E O S 膜、バリア金属層、および C u 層を形成した状態、(b) は図 1 (a) の T E O S 膜上に S i N 層を形成した状態、(c) は図 1 (b) の S i N 層上にポリメチルシロキサン膜を形成した状態を、それぞれ示す。

【図 2】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を示す工程断面図であり、(a) は半導体基板上にポリメチルシロキサン膜、バリア金属層、および C u 層を形成した状態、(b) は図 2 (a) のポリメチルシロキサン膜上に S i N 層を形成した状態、(c) は図 2 (b) の S i N 層上にポリメチルシロキサン膜を形成した状態を、それぞれ示す。

【図 3】

本発明の第 3 の実施の形態に係る半導体装置の製造方法を示す工程断面図であり、(a) は半導体基板上にポリメチルシロキサン膜、バリア金属層、および C

u 層を形成した状態、(b) は図 3 (a) のポリメチルシロキサン膜上に S i N 層を形成した状態、(c) は図 3 (b) の S i N 層上にポリメチルシロキサン膜を形成した状態を、それぞれ示す。

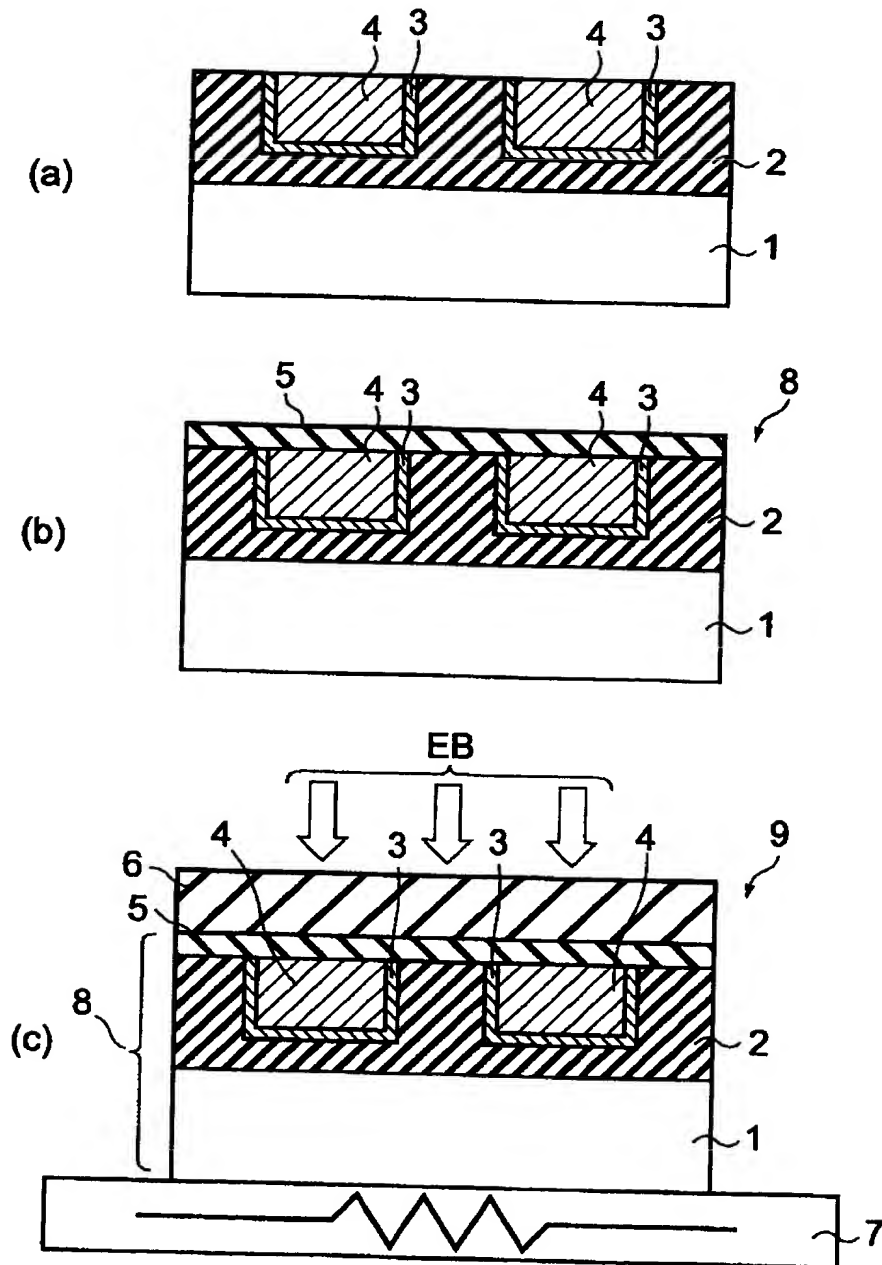
【符号の説明】

- 1 … 半導体基板
- 2 … T E O S 膜 (下地絶縁膜、薄膜)
- 3 … バリア金属層
- 4 … C u 層 (下地基板配線)
- 5 … S i N 層 (バリア絶縁膜)
- 6 … ポリメチルシロキサン膜 (低誘電率層間絶縁膜、薄膜)
- 7 … ホットプレート (温度調節装置)
- 8, 1 2, 2 1 … 第 1 層半導体基板
- 9, 1 3, 2 2 … 半導体装置
- 1 1 … ポリメチルシロキサン膜 (低誘電率絶縁膜、下地絶縁膜、薄膜)

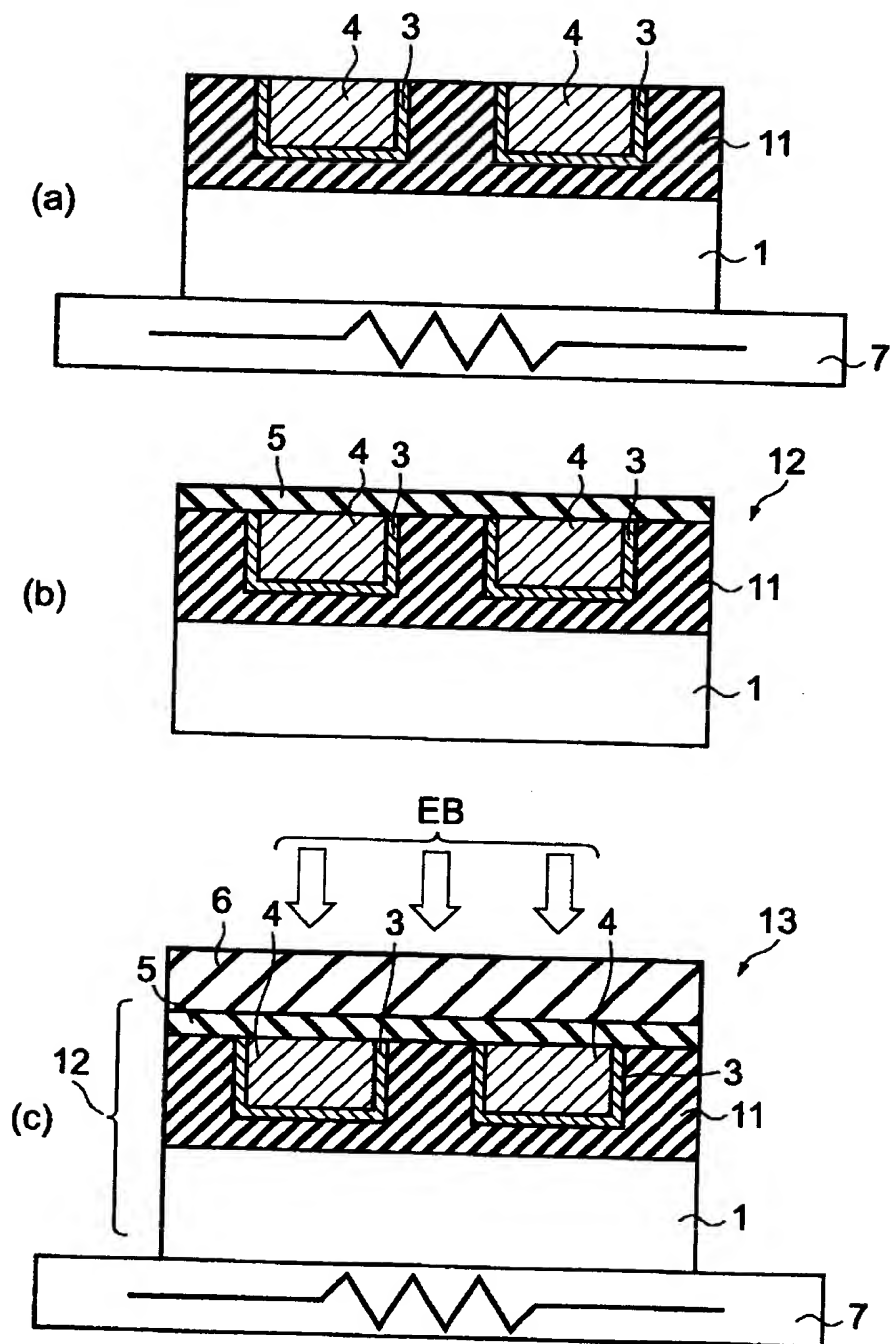
【書類名】

図面

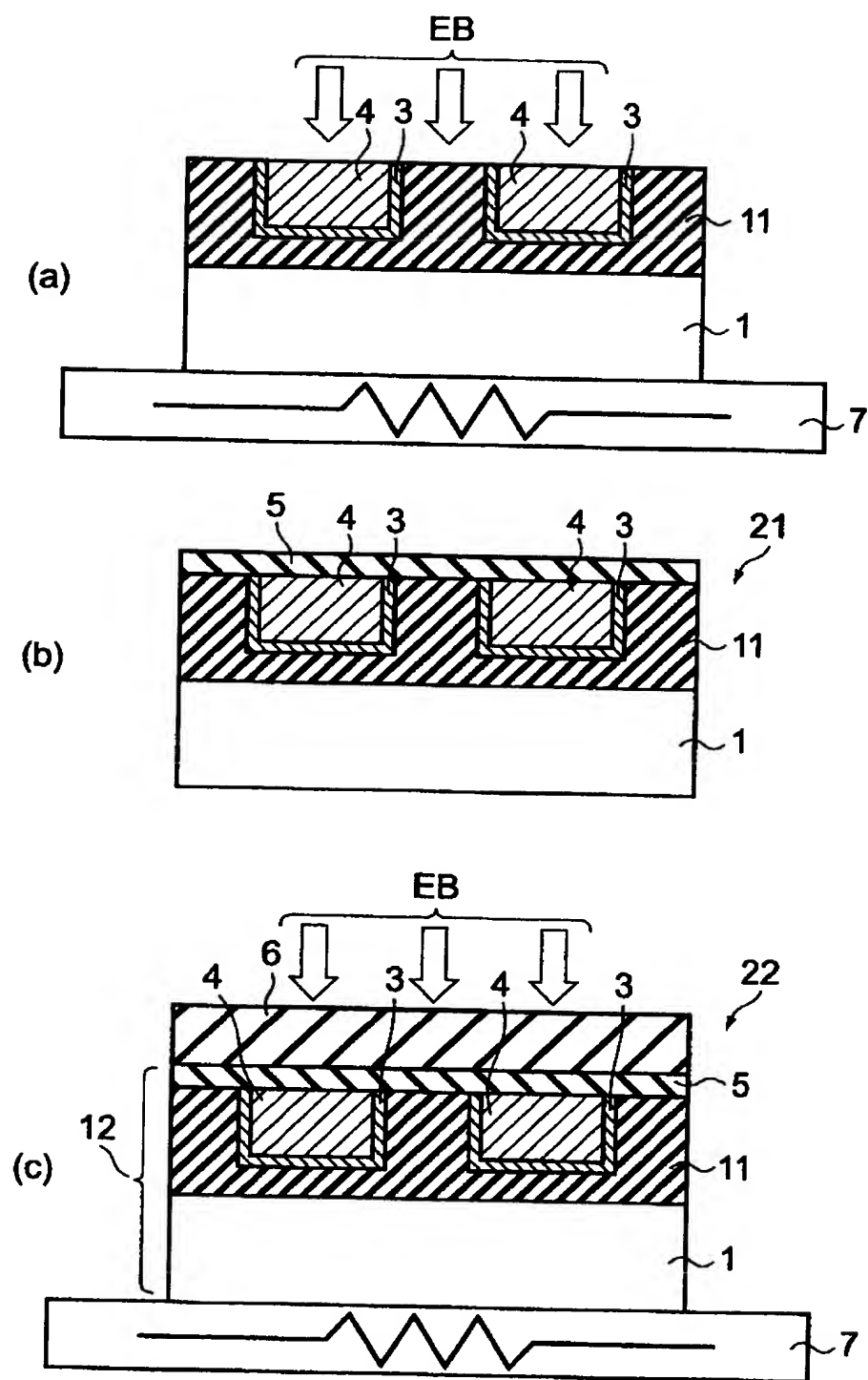
【図1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】半導体装置に設けられている配線付近の薄膜を短時間で形成できる半導体装置の製造方法を提供する。

【解決手段】半導体基板 1 の表面上に T E O S 膜 2 を形成する。膜 2 の表面側に配線 4 用の溝を形成し、その内部にバリア金属層 3 および C u 層 4 を形成する。膜 2、層 3、および層 4 の各表面を C M P 法により平坦化し、それらの上に S i N 層 5 を形成する。層 5 の表面上に、ポリメチルシロキサン膜 6 の液状原料であるワニスをスピンコート法により塗布し、ワニスを約 8 0 ° C、次に約 2 0 0 ° C でそれぞれ約 1 分間ずつ保持するように段階的に加熱する。続けて、ワニスを H₂ ガスを主成分とする還元性雰囲気中かつ約 10 Torr の減圧雰囲気下に配置して、約 4 0 0 ° C に加熱して保持しつつ、照射エネルギーが約 10 keV、照射量が約 500 μ C / cm² の電子線を約 5 分間照射して、ポリメチルシロキサン膜 6 を成膜する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月 22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝